



2818

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Docket No: Q76291

Hirofumi FUJIOKA, et al.

Appln. No.: 10/609,476

Group Art Unit: 2818

Confirmation No.: 2217

Examiner: Unknown

Filed: July 1, 2003

For: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

J. Frank Osha
Registration No. 24,625

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Enclosures: Japan 2002-194006

Date: October 3, 2003

日本国特許庁
JAPAN PATENT OFFICE

H. Fujioka et al.

10/609,476

Filed 7/1/03

φ76291 10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月 2日

出願番号

Application Number:

特願2002-194006

[ST.10/C]:

[JP2002-194006]

出願人

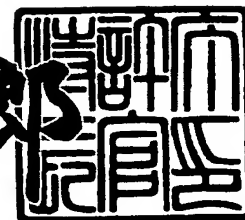
Applicant(s):

エルピーダメモリ株式会社

2003年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047957

【書類名】 特許願

【整理番号】 22310159

【提出日】 平成14年 7月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内

 【氏名】 藤岡 弘文

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内

 【氏名】 小柳 賢一

【特許出願人】

 【識別番号】 500174247

 【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

 【識別番号】 100099830

 【弁理士】

 【氏名又は名称】 西村 征生

 【電話番号】 048-825-8201

【手数料の表示】

 【予納台帳番号】 038106

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0111128

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 所望の金属を含んだ原料ガスと酸化性ガスとを導入して化学的気相成長法により、半導体基板上に前記金属の酸化膜を成膜する半導体装置の製造方法であって、

前記半導体基板を収容した反応炉内に前記所望の金属を含んだ原料ガスを導入する第 1 段階と、該第 1 段階に続いて前記反応炉内に前記酸化性ガスを導入する第 2 段階とを 1 ステップとして、該ステップを複数回繰り返して前記半導体基板上に前記金属の酸化膜を成膜することを特徴とする半導体装置の製造方法。

【請求項 2】 所望の金属を含んだ原料ガスと酸化性ガスとを導入して化学的気相成長法により、半導体基板上に成膜した前記金属の酸化膜から成る容量絶縁膜を有するキャパシタを形成する半導体装置の製造方法であって、

前記半導体基板を反応炉内に収容し、該反応炉内に前記所望の金属を含んだ原料ガスを導入する第 1 段階と、該第 1 段階に続いて前記反応炉内に前記酸化性ガスを導入する第 2 段階とを 1 ステップとして、該ステップを複数回繰り返して下部電極上に前記金属の酸化膜を成膜することにより前記容量絶縁膜を形成する工程と、

前記容量絶縁膜上に上部電極を形成することにより前記キャパシタを形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板を収容した反応炉内に所望の金属を含んだ原料ガスを導入して、化学的気相成長法により前記半導体基板上に前記金属の酸化膜を成膜する第 1 段階と、前記原料ガスの量を前記第 1 段階よりも減少させ、前記反応炉内に酸化性ガスを導入し、前記金属の酸化膜の表面を前記酸化性ガスに曝す第 2 段階とを 1 ステップとして、前記金属の酸化膜が最終的に必要な膜厚になるまで前記ステップを複数回繰り返し行うことを特徴とする半導体装置の製造方法。

【請求項 4】 前記第 2 段階において、前記原料ガスの導入を止めることを

特徴とする請求項 1、2 又は 3 記載の半導体装置の製造方法。

【請求項 5】 前記第 1 段階において、前記第 2 段階に導入される酸化性ガスの量よりも少ない量の酸化性ガスを導入することを特徴とする請求項 1 乃至 4 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 6】 前記原料ガスは、そのガスのみで前記金属の酸化膜を成膜することが可能であることを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 7】 前記ステップを 2 ～ 1 0 回繰り返すことを特徴とする請求項 1 乃至 6 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 8】 前記ステップを複数回繰り返すとき、最初のステップの前に前記酸化性ガスを導入することを特徴とする請求項 1 乃至 7 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 9】 前記ステップを複数回繰り返すとき、最後のステップの前記第 2 段階を省略することを特徴とする請求項 1 乃至 8 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 1 0】 前記所望の金属として、タンタル、ハフニウム又はジルコニウムを用いることを特徴とする請求項 1 乃至 9 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 1 1】 前記タンタルを用いる場合、前記原料ガスとしてペンタエトキシタンタルを用いることを特徴とする請求項 1 0 記載の半導体装置の製造方法。

【請求項 1 2】 前記酸化性ガスとして、酸素、オゾン、水、酸化窒素又は酸素ラジカルを含んだガスを用いることを特徴とする請求項 1 乃至 1 1 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 1 3】 前記第 1 段階あるいは前記第 2 段階の時間を、前記第 1 段階で導入される前記原料ガスあるいは前記第 2 段階で導入される前記酸化性ガスの前記反応炉内の平均滞留時間よりも大きく選ぶことを特徴とする請求項 1 乃至 1 2 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 1 4】 前記金属の酸化膜を成膜する温度を、反応にセルフリミッ

トがかからない温度領域に設定することを特徴とする請求項 1 乃至 1 3 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 1 5】 前記キャパシタの前記下部電極の表面形状を立体構造に形成することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 1 6】 前記下部電極の表面形状の立体構造を H S G 状に形成することを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置の製造方法に係り、詳しくは、容量絶縁膜として酸化タンタル膜 (Ta_2O_5) のような金属酸化膜を用いたキャパシタ (情報記憶用容量素子) を備える半導体装置の製造方法に関する。

【0 0 0 2】

【従来の技術】

半導体装置の代表として知られている L S I (大規模集積回路) は、メモリ製品とロジック製品とに大別されるが、最近の半導体製造技術の進歩につれて、特に前者における発展がめざましい。また、メモリ製品は、D R A M (Dynamic Random Access Memory) と、S R A M (Static Random Access Memory) とに分類されるが、これらのメモリ製品はほとんどが、集積度の点で優れている M O S (Metal Oxide Semiconductor) 型トランジスタによって構成されている。また、特に D R A M は S R A M に比較して上述したような高集積化の利点をより大きく生かせるため、コストダウンが図れるので、情報機器等における各種の記憶装置に広く適用されている。

【0 0 0 3】

D R A M は、スイッチング動作を行う M O S 型トランジスタから成るメモリセル選択用トランジスタと、このメモリセル選択用トランジスタに接続されたキャパシタとにより 1 つのメモリセルを構成して、キャパシタの電荷の有無により情報を記憶する。ここで、最近の情報化社会の発展に伴う記憶される情報の増大につれて、半導体基板上に形成されるキャパシタの占有面積は制約されてくる。し

たがって、個々のメモリセルのキャパシタの容量を増加させる工夫が必要になる。もしキャパシタが情報を記憶するのに十分な容量を有していないと、外部からのノイズ信号等の影響で容易に誤動作するようになるので、ソフトエラーで代表されるようなエラーが生じ易くなる。

【0004】

従来から、DRAMのキャパシタの容量絶縁膜としては、酸化シリコン膜 (SiO_2)、窒化シリコン膜 (SiN)、あるいは酸化タンタル膜のような金属酸化膜等が用いられている。このような容量絶縁膜の中で、特に金属酸化膜である酸化タンタル膜は、酸化シリコン膜、窒化シリコン膜等に比べて大きな誘電率を有している。したがって、酸化タンタル膜を容量絶縁膜として用いることにより、大きな容量を有するキャパシタを構成することができる。このような酸化タンタル膜の成膜は、一般に、成膜の容易さの点から化学的気相成長法 (Chemical Vapor Deposition: CVD法) により行われている。

【0005】

上述したように酸化タンタル膜をCVD法により成膜する際、成膜時に酸化タンタル膜に発生し易い酸素の空孔を充填し、かつ有機物を除去するために、従来から、タンタルを含んだ原料ガスとともに酸素ガスのような酸化性ガスが用いられている。酸化タンタル膜に酸素の空孔ができると、キャパシタを形成したときにリーク電流が流れるような欠点が生じて、膜質の悪い容量絶縁膜が成膜されるようになる。例えば特開平7-14986号公報あるいは特開2001-35842号公報には、CVD法により酸化タンタル膜を成膜する際、原料ガスと酸素ガスを同時に反応室内に導入して、酸化タンタル膜を成膜する半導体装置の製造方法が開示されている。酸素ガスの酸素は上記空孔を充填するとともに、有機物を除去するように働いて、酸化タンタル膜の膜質を改善する役割を果たす。

【0006】

図11は、従来の半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスの一例を示す図である。例えば略430℃ (成膜温度) で、かつ略10 Torr (Torricelli) (成膜圧力) に維持された反応炉内に半導体基板を収容した後、時刻t10において反応炉内に、タンタル化合物である例えばベ

ンタエトキシタンタル $[\text{Ta}(\text{OC}_2\text{H}_5)_5]$ 以下、PETとも称する] を窒素 (N_2) キャリアガスで噴霧し気化させた原料ガスと同時に、酸素 (O_2) ガスをそれぞれ一定量ずつ導入して、酸化タンタル膜の成膜を開始する。そして、所定時間経過後の時刻 t_20 において原料ガスと酸素ガスの導入を同時に停止する。ここで、酸素ガスは、前述したように酸化タンタル膜を成膜したときに発生し易い酸素の空孔を充填し、かつ有機物を除去するために用いられている。また、上述のような成膜シーケンスを用いた従来の半導体装置の製造方法では、一回の連続した原料ガスの導入により最終的に必要な膜厚の容量絶縁膜を成膜している。

【0007】

上述の従来の半導体装置の製造方法のように、原料ガスと酸素ガスとを同時に反応室内に導入して酸化タンタル膜を成膜すると、原料ガスの分圧が低下する。この結果、成膜される酸化タンタル膜のステップカバレッジ（段差被覆性）が悪くなって、下部電極の表面に形成される容量絶縁膜の膜厚が不均一になり易いので、キャパシタを形成した場合に安定した容量が得にくくなる。特に、容量の増加を図る目的で、下部電極の形状をシリンダ型等の立体構造とした場合や、さらにその表面形状をHSG (Hemispheric Silicon Grain; 半球状シリコン粒子) 状に形成した場合等には、ステップカバレッジが著しく低下し、所望の容量値が得られない、あるいは上部電極と下部電極とが短絡してしまう等の問題が生ずる。

【0008】

一方、ステップカバレッジを向上させるために、導入する酸素ガスの流量を少なくすると、これに伴って酸素の働きが低くなるので酸化タンタル膜に酸素の空孔ができ易くなり、また有機物が蓄積し易くなるため酸化タンタル膜の膜質の低下が避けられなくなる。また、成膜温度を下げることにより成膜速度を低めてステップカバレッジを改善しようとする、膜質の低下だけでなく、最終的に必要な膜厚を成膜するのに時間が費やされるので、スループットが低下するようになる。

【0009】

以上のような観点から、非酸化性雰囲気内で原料ガスを導入して酸化タンタル膜を最終的に必要な膜厚に連続して成膜した後に、酸化性雰囲気内でアニールを

行うことにより酸化タンタル膜に発生した酸素の空孔を充填するようにした酸化タンタル膜の成膜方法が、例えば特開 2 0 0 0 - 3 4 0 5 5 9 号公報に開示されている。

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、特開 2 0 0 0 - 3 4 0 5 5 9 号公報記載の酸化タンタル膜の成膜方法では、酸化タンタル膜を最終的に必要な膜厚になるまで連続して成膜し、その後酸化性雰囲気でアニールを行っているので、酸化タンタル膜に発生した酸素の空孔を充填しきれない、という問題がある。

すなわち、上記公報に記載された酸化タンタル膜の成膜方法を利用した半導体装置の製造方法では、キャパシタの容量絶縁膜を構成する酸化タンタル膜を成膜する際に、原料ガスの導入時に、酸素ガスは導入されないため、原料ガスが酸素ガスの影響を受けないようになり、ステップカバレッジに関しては改善されるようになる。一方、一定量の原料ガスを連続して導入することにより、酸化タンタル膜を最終的に必要な膜厚に成膜した後に、酸化性雰囲気でアニール処理を行っているため、成膜後の酸化タンタル膜の酸素の空孔に十分な量の酸素を供給できなくなり、酸化タンタル膜の酸素の空孔を充填しきれないことになるので、キャパシタを形成したときに膜質の悪い容量絶縁膜が形成されるようになる。それゆえ、キャパシタにリーク電流が流れるようになって、情報記憶用容量素子としての役割を果たすのが困難となり、結果として D R A M の信頼性を低下させることになる。ここで、上記公報に記載された酸化タンタル膜の成膜方法において、成膜後の酸化タンタル膜の酸素の空孔に十分な量の酸素を供給するために酸素ガスを導入する熱処理時間を長くしようとすると、スループットの低下が避けられなくなる。さらに、長時間の熱処理に伴って、下部電極を構成する多結晶シリコン膜等の表面が酸化されて誘電率の小さな酸化シリコン膜等が形成されてしまうので、キャパシタのトータルの容量値が小さくなる。

このように従来の半導体装置の製造方法では、スループットを低下させることなく、良好なステップカバレッジ及び良好な膜質を備えた容量絶縁膜を成膜するのが不可能であった。

【 0 0 1 1 】

この発明は、上述の事情に鑑みてなされたもので、スループットを低下させることなく、良好なステップカバレッジ及び良好な膜質を備えた容量絶縁膜を成膜することができるようにした半導体装置の製造方法を提供することを目的としている。

【 0 0 1 2 】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 記載の発明は、所望の金属を含んだ原料ガスと酸化性ガスとを導入して化学的気相成長法により、半導体基板上に上記金属の酸化膜を成膜する半導体装置の製造方法に係り、上記半導体基板を収容した反応炉内に上記所望の金属を含んだ原料ガスを導入する第 1 段階と、該第 1 段階に続いて上記反応炉内に上記酸化性ガスを導入する第 2 段階とを 1 ステップとして、該ステップを複数回繰り返して上記半導体基板上に上記金属の酸化膜を成膜することを特徴としている。

【 0 0 1 3 】

また、請求項 2 記載の発明は、所望の金属を含んだ原料ガスと酸化性ガスとを導入して化学的気相成長法により、半導体基板上に成膜した上記金属の酸化膜から成る容量絶縁膜を有するキャパシタを形成する半導体装置の製造方法に係り、上記半導体基板の一つの領域に、上記半導体基板を反応炉内に収容し、該反応炉内に上記所望の金属を含んだ原料ガスを導入する第 1 段階と、該第 1 段階に続いて上記反応炉内に上記酸化性ガスを導入する第 2 段階とを 1 ステップとして、該ステップを複数回繰り返して下部電極上に上記金属の酸化膜を成膜することにより上記容量絶縁膜を形成する工程と、上記容量絶縁膜上に上部電極を形成することにより上記キャパシタを形成する工程とを含むことを特徴としている。

【 0 0 1 4 】

また、請求項 3 記載の発明は、半導体装置の製造方法に係り、半導体基板を収容した反応炉内に所望の金属を含んだ原料ガスを導入して、化学的気相成長法により上記半導体基板上に上記金属の酸化膜を成膜する第 1 段階と、上記原料ガスの量を上記第 1 段階よりも減少させ、上記反応炉内に酸化性ガスを導入し、上記

金属の酸化膜の表面を上記酸化性ガスに曝す第2段階とを1ステップとして、上記金属の酸化膜が所望の最終的に必要な膜厚になるまで上記ステップを複数回繰り返すことを特徴としている。

【0015】

また、請求項4記載の発明は、請求項1、2又は3記載の半導体装置の製造方法に係り、上記第2段階において、上記原料ガスの導入を止めることを特徴としている。

【0016】

また、請求項5記載の発明は、請求項1乃至4のいずれか1に記載の半導体装置の製造方法に係り、上記第1段階において、上記第2段階に導入される酸化性ガスの量よりも少ない量の酸化性ガスを導入することを特徴としている。

【0017】

また、請求項6記載の発明は、請求項1乃至5のいずれか1に記載の半導体装置の製造方法に係り、上記原料ガスは、そのガスのみで上記金属の酸化膜を成膜することが可能であることを特徴としている。

【0018】

また、請求項7記載の発明は、請求項1乃至6のいずれか1に記載の半導体装置の製造方法に係り、上記ステップを2～10回繰り返すことを特徴としている。

【0019】

また、請求項8記載の発明は、請求項1乃至7のいずれか1に記載の半導体装置の製造方法に係り、上記ステップを複数回繰り返すとき、最初のステップの前に上記酸化性ガスを導入することを特徴としている。

【0020】

また、請求項9記載の発明は、請求項1乃至8のいずれか1に記載の半導体装置の製造方法に係り、上記ステップを複数回繰り返すとき、最後のステップの上記第2段階を省略することを特徴としている。

【0021】

また、請求項10記載の発明は、請求項1乃至9のいずれか1に記載の半導体

装置の製造方法に係り、上記所望の金属として、タンタル、ハフニウム又はジルコニウムを用いることを特徴としている。

【 0 0 2 2 】

また、請求項 1 1 記載の発明は、請求項 1 0 記載の半導体装置の製造方法に係り、上記タンタルを用いる場合、上記原料ガスとしてペンタエトキシタンタルを用いることを特徴としている。

【 0 0 2 3 】

また、請求項 1 2 記載の発明は、請求項 1 乃至 1 1 のいずれか 1 に記載の半導体装置の製造方法に係り、上記酸化性ガスとして、酸素、オゾン、水、酸窒化物又は酸素ラジカルを含んだガスを用いることを特徴としている。

【 0 0 2 4 】

また、請求項 1 3 記載の発明は、請求項 1 乃至 1 2 のいずれか 1 に記載の半導体装置の製造方法に係り、上記第 1 段階あるいは上記第 2 段階の時間を、上記第 1 段階で導入される上記原料ガスあるいは上記第 2 段階で導入される上記酸化性ガスの上記反応炉内の平均滞留時間よりも大きく選ぶことを特徴としている。

【 0 0 2 5 】

また、請求項 1 4 記載の発明は、請求項 1 乃至 1 3 のいずれか 1 に記載の半導体装置の製造方法に係り、上記金属の酸化膜を成膜する温度を、反応にセルフリミットがかからない温度領域に設定することを特徴としている。

【 0 0 2 6 】

また、請求項 1 5 記載の発明は、請求項 2 記載の半導体装置の製造方法に係り、上記キャパシタの上記下部電極の表面形状を立体構造に形成することを特徴としている。

【 0 0 2 7 】

また、請求項 1 6 記載の発明は、請求項 1 5 記載の半導体装置の製造方法に係り、上記下部電極の表面形状の立体構造を H S G 状に形成することを特徴としている。

【 0 0 2 8 】

【作用】

本発明の半導体装置の製造方法によれば、半導体基板上に所望の金属の酸化膜を成膜する際、反応炉内に所望の金属を含んだ原料ガスを導入する第1段階と酸化性ガスを導入する第2段階とを1ステップとして、このステップを複数回繰り返すことにより、金属酸化膜は複数回に分けて成膜され、最終的に必要な膜厚の複数回分の1の薄い膜厚毎に、第2段階において、酸化性ガスにより酸素の空孔の充填及び有機物の除去が行なわれるため、十分に膜質を向上させることができる。

また、上述のように第2段階において酸化性ガスによって金属酸化膜の膜質を向上させることができるため、第1段階においては、酸化性ガスを導入しなくてもよく、導入するとしても請求項5記載のように少量の導入でよいから、第1段階における原料ガスの分圧の低下が避けられる。よって、ステップカバレッジの低下も防ぐことができる。

【0029】

【発明の原理】

この発明の発明者らは鋭意研究を重ねた結果、最終的に必要な膜厚の酸化タンタル膜を成膜する際、図7に示すように、所定の温度及び所定の圧力に維持された反応炉内に、PETを窒素キャリアガスで噴霧し気化させた原料ガスを導入する第1段階S1と、第1段階S1に続いて酸素ガスを導入する第2段階S2との組合せを1ステップSTとした場合に、このステップSTを複数回繰り返すことにより、スループットを低下させることなく、良好なステップカバレッジ及び良好な膜質を備えた酸化タンタル膜を成膜できることを確かめた。

すなわち、酸化タンタル膜を薄く成膜する工程と、その成膜された膜を酸化性ガスに曝す工程とを繰り返し行って最終的に必要な膜厚まで成膜するようにしたことにより、酸化タンタル膜が薄い状態で、酸化性ガスによって空孔の補充及び有機物の除去を行うことができる。そのため、十分に膜質を向上させることができ、これが繰り返されるため最終的に最終的に必要な膜厚となった酸化タンタル膜の膜質も良好なものとすることができる。また、酸化タンタル膜の成膜工程（第1段階S1）においては、酸化性ガスを導入しない（あるいは、少量とする）ため、ステップカバレッジも低下させずに成膜することが可能である。このため

、低温で成膜する必要もなくなり、スループットの低下も避けることができる。

【0030】

図7では一例として、略430℃（成膜温度）で、かつ略10Torr（成膜圧力）に維持され半導体基板を収容した反応炉内に、第1段階S1では、PETを50mg/mの割合で700sccmの流量の窒素キャリアガスで噴霧し気化させて導入する例を示し、第2段階S2では、その反応炉内に酸素ガスを700sccmの流量で導入する例を示している。

【0031】

図8は、上記条件の第1段階S1と第2段階S2との組み合わせから成るステップSTを複数回繰り返して最終的に必要な膜厚の酸化タンタル膜を成膜した場合の、ステップ数（横軸）と酸化タンタル膜の膜質（縦軸）との関係を示している。ここで、膜質は、成膜された酸化タンタル膜を用いて形成したキャパシタに対して、85℃の高温雰囲気中で、4.6Vの電圧を印加した条件で加速試験を行って得られたTDDDB（Time Dependent Dielectric Breakdown：絶縁膜経時破壊）特性で示している。図8から明らかなように、上記ステップSTの繰り返し回数を増加させることにより、膜質を向上させることができる。例えば、ステップSTを2回繰り返すと、膜質を表すTDDDB特性において酸化タンタル膜の破壊に至る時間は略70秒（sec）が得られ、ステップSTを4回繰り返すと同時間は略150秒に伸びて、いずれもステップSTが1回の場合に得られる略27秒を上回っていることを示しており、上記ステップSTの繰り返し回数を増加させることにより、膜質を向上させることができることを示している。

【0032】

なお、原料ガスを導入する第1段階S1の時間及び酸化性ガスを導入する第2段階S2の時間は、それぞれ原料ガスあるいは酸化性ガスの反応炉内の平均滞留時間（ V/F ）よりも大きく選ぶことが必要になる。ここで、 V は反応炉の容積、 F はガス流量を示している。それゆえ、ステップSTの繰り返し回数の最大は、（最終的に必要な膜厚）／（1ステップの最小時間での成膜膜厚）によって決められる。図8から明らかなように、ステップSTの繰り返し回数を増加させるほど、膜質を向上させることができるが、繰り返し回数をあまり増加させるとス

ループットを低下させることになるので、望ましくは2～10回程度繰り返すのが実用的である。

【0033】

また、原料ガスを導入する第1段階S1においては、ステップカバレッジを悪化させない程度の量の酸素ガスを加えて導入することで、より膜質を向上させることができることを確かめた。

図9は、第1段階S1で原料ガスを導入する期間に酸素ガスを導入した場合の、酸素流量（横軸）と膜質（左側縦軸）及びステップカバレッジ（右側縦軸）との関係を示している。同図において、Aはステップカバレッジの特性、Bは膜質の特性を示している。図9から明らかなように、酸素流量を増加させることにより、ステップカバレッジは低下する一方、膜質は向上している。したがって、ステップカバレッジを実質的に低下させない程度の量の酸素（酸素ガス）を導入することにより、膜質を向上させることができることを示している。

【0034】

また、原料ガスを導入する第1段階S1と、酸素ガスを導入する第2段階S2との組み合わせによるステップSTを複数回繰り返すとき、最初のステップSTの前に酸素ガスを導入することにより、酸素ガスを導入しない場合に比べて、インキュベーションタイムを短縮することができることを確かめた。

図10は、成膜時間（横軸）と膜厚（縦軸）との関係を示している。ここで、Aは酸素ガスを導入した場合の特性を示し、Bは酸素ガスを導入しなかった場合の特性を示している。両特性A、Bを比較すれば明らかなように、酸素ガスを導入した場合にはインキュベーションタイムT1は略18秒となり、一方酸素ガスを導入しなかった場合には同タイムT2は略40秒となり、半分以上に短縮することができる。したがって、成膜開始までの時間を短縮することができるので、スループットを向上させることができる。

このようにインキュベーションタイムを短縮できるのは、前述したように最初のステップSTの前に、すなわち成膜開始前に、酸素ガスを導入することにより、その後第1段階S1を実施して原料ガスを導入してPETを熱分解させて酸化タンタル膜を成膜する際に、PETが熱分解し易くなったためである、と考え

られる。

【 0 0 3 5 】

【発明の実施の形態】

以下、上述の原理を基に、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

◇第 1 実施例

図 1 及び図 2 は、この発明の第 1 実施例である半導体装置の製造方法の構成を工程順に示す工程図、図 3 は同半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。以下、図 1 ～図 3 を参照して同半導体装置の製造方法について工程順に説明する。

まず、図 1 (a) に示すように、例えば P 型半導体基板 1 を用いて、周知の L O C O S 法あるいは S T I 法等により素子分離領域 2 を形成することにより、各活性領域の中央部に例えば酸化シリコン膜から成るゲート絶縁膜 3 及び多結晶シリコン膜から成るゲート電極 4 を形成する。次に、ゲート電極 4 を利用した自己整合法により N 型不純物をイオン打ち込みして、ソース領域及びドレイン領域となる一対の N 型領域 5、6 を形成した後、全面に例えば酸化シリコン膜から成る第 1 層間絶縁膜 7 を形成することにより、N M O S 型トランジスタから成るメモリセル選択用トランジスタ 8 を形成する。

【 0 0 3 6 】

次に、図 1 (b) に示すように、リソグラフィ法により、第 1 層間絶縁膜 7 にメモリセル選択用トランジスタ 8 の一方の N 型領域 6 を露出する第 1 コンタクトホール 9 を形成した後、第 1 コンタクトホール 9 内に N 型領域 6 と接続されるように例えば多結晶シリコン膜から成るコンタクトプラグ 1 0 を埋め込むように形成する。

【 0 0 3 7 】

次に、図 1 (c) に示すように、全面に例えば酸化シリコン膜から成る第 2 層間絶縁膜 1 1 を形成した後、リソグラフィ法により、第 2 層間絶縁膜 1 1 にコンタクトプラグ 1 0 を露出する第 2 コンタクトホール 1 2 を形成する。次に、第 2 コンタクトホール 1 2 内にコンタクトプラグ 1 0 と接続されるように例えば多結

晶シリコン膜を第2コンタクトホール底部及び内壁に沿ってシリンダ形状に成膜し、表面をHSG化させることによって、下部電極13を形成する。

【0038】

次に、図2(d)に示すように、CVD法により、後述するような成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極13上に酸化タンタル膜から成る容量絶縁膜14を形成する。一例として、最終的に必要な膜厚が10nmの酸化タンタル膜を、240秒の時間で成膜する例で説明する。

【0039】

図3は、上述の酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法では、前述の原理で説明したステップSTを2回繰り返すことにより、最終的に必要な膜厚の酸化タンタル膜を成膜するようにする。すなわち、図3から明らかなように、略430℃（成膜温度）に加熱され、略10Torr（成膜圧力）に維持された反応炉内に基板1を収容した後、時刻t1において反応炉内に、第1段階S1に基づいてPETを50mg/mの割合で、700sccmの流量の窒素キャリアガスで噴霧し気化させた原料ガスを導入して酸化タンタル膜の成膜を開始し、120秒後の時刻t2において原料ガスの導入を停止する。この120秒間に5nmの酸化タンタル膜を成膜する。なお、成膜される膜厚は、反応炉内の温度、圧力、ガス流量等により異なってくるが、ここでは理解を容易にするためそれらの影響は考慮しないで示すものとする。次に、時刻t2～t3の30秒間に第2段階S2に基づいて1200sccmの流量の酸素ガスを導入して、第1回目のステップSTが終了する。この第1回目のステップSTにおいて、第1段階S1において成膜された5nmの酸化タンタル膜は第2段階S2で導入された酸素ガスに曝されることにより、酸素の空孔が充填され、かつ有機物が除去される。

【0040】

続いて、時刻t3において、第1段階S1に基づいてPETを50mg/mの割合で、700sccmの流量の窒素キャリアガスで噴霧し気化させた原料ガスを導入して酸化タンタル膜の成膜を開始し、120秒後の時刻t4において原料ガスの導入を停止する。この120秒間に新たに5nmの酸化タンタル膜を成膜

する。次に、時刻 $t_4 \sim t_5$ の 30 秒間に第 2 段階 S2 に基づいて 1200 sccm の流量の酸素ガスを導入して、第 2 回目のステップ ST が終了する。この第 2 回目のステップ ST において、第 1 段階 S1 において成膜された新たな 5 nm の酸化タンタル膜は第 2 段階 S2 で導入された酸素ガスに曝されることにより、第 1 回目のステップ ST と同様に、酸素の空孔が充填され、かつ有機物が除去される。以上により、第 2 回目のステップ ST が終了し、下部電極 13 上に最終的に必要な膜厚である 10 nm の酸化タンタル膜から成る容量絶縁膜 14 を形成する。

【0041】

次に、第 2 回目のステップ ST の第 2 段階 S2 が終了した後、基板 1 を別の反応炉に移して、酸化性雰囲気内で例えば 750～800℃ でアニール処理、あるいは酸素ラジカル処理を施して、酸化タンタル膜を安定化させる。ここで、最後のステップである第 2 回目のステップ ST の第 2 段階 S2 は省略して上記アニール処理に移行させるようにしてもよい。これは、以下の実施例においても同様である。

【0042】

次に、図 2 (e) に示すように、容量絶縁膜 14 上に例えば多結晶シリコン膜から成る上部電極 15 を形成することにより、キャパシタ 16 を形成する。以上により、NMOS 型トランジスタから成るメモリセル選択用トランジスタ 8 の一方の N 型領域 6 に、コンタクトプラグ 10 を介してキャパシタ 16 が接続された、1 ビットの情報を記憶するメモリセル 17 を完成させる。

【0043】

上述したように、この例の半導体装置の製造方法によれば、メモリセル選択用トランジスタ 8 を形成した後、このメモリセル選択用トランジスタ 8 の一方の N 型領域 6 に接続されるように下部電極 13 を形成した半導体基板 1 を反応炉内に収容して、原料ガスを導入する第 1 段階 S1 と酸素ガスを導入する第 2 段階 S2 との組み合わせによるステップ ST を 2 回繰り返して最終的に必要な膜厚の酸化タンタル膜を成膜して容量絶縁膜 14 を形成するので、容量絶縁膜 14 の膜質の向上及びステップカバレッジの向上を図ることができる。

【 0 0 4 4 】

すなわち、容量絶縁膜 1 4 を構成する最終的に必要な膜厚（1 0 n m）の酸化タンタル膜を成膜する際、成膜工程を第 1 回目のステップ S T と第 2 回目のステップ S T との 2 回に分けて、各ステップ S T の第 1 段階 S 1 においてそれぞれ 5 n m の膜厚に成膜した後、各ステップ S T の第 2 段階 S 2 においてそれぞれの 5 n m の酸化タンタル膜を酸素ガスに曝すようにしたので、酸化タンタル膜は最終的に必要な膜厚の半分の薄い状態で、酸素の空孔の充填及び有機物の除去が行なわれることになる。したがって、従来のように最終的に必要な膜厚の厚い状態に成膜した酸化タンタル膜を一気に酸素ガスに曝す方法に比較して、酸素の空孔の充填及び有機物の除去するための処理を効果的に行うことができる。それゆえ、キャパシタを形成したときに膜質がよく、ステップカバレッジに優れた容量絶縁膜 1 4 を形成することができるようになる。

【 0 0 4 5 】

このように、この例の半導体装置の製造方法によれば、メモリセル選択用トランジスタ 8 を形成した後、このメモリセル選択用トランジスタ 8 の一方の N 型領域 6 に接続されるように下部電極 1 3 を形成した半導体基板 1 を反応炉内に収容して、原料ガスを導入する第 1 段階 S 1 と酸素ガスを導入する第 2 段階 S 2 との組み合わせによるステップ S T を 2 回繰り返して最終的に必要な膜厚の酸化タンタル膜を成膜して容量絶縁膜 1 4 を形成するので、酸化タンタル膜のステップカバレッジの低下を抑え、また酸化タンタル膜の酸素の空孔を充填し、かつ有機物を除去できるようになる。

したがって、スループットを低下させることなく、良好なステップカバレッジ及び良好な膜質を備えた容量絶縁膜を成膜することができる。

【 0 0 4 6 】

◇ 第 2 実施例

図 4 は、この発明の第 2 実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第 1 実施例の構成と大きく異なるところは、容量絶縁膜として最終的に必要な膜厚（第 1 実施例の場合と同様に 1 0 n m）の酸化

タンタル膜を最終的に成膜する際、前述の原理で説明したステップ S T を 3 回繰り返すようにした点である。以下、図 4 を参照して、同半導体装置の製造方法について説明する。

すなわち、第 1 実施例の図 2 (d) の工程において、図 4 の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極 1 3 上に酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

【 0 0 4 7 】

この例の半導体装置の製造方法では、前述の原理で説明したステップ S T を 3 回繰り返すことにより、最終的に必要な膜厚 (1 0 n m) の酸化タンタル膜を成膜するようにする。すなわち、図 4 から明らかなように、略 4 3 0 ° C に加熱され、略 1 0 Torr に維持された反応炉内に基板 1 を収容した後、時刻 t 1 において反応炉内に、第 1 段階 S 1 に基づいて P E T を 5 0 m g / m の割合で、 7 0 0 s c c m の流量の窒素キャリアガスで噴霧し気化させた原料ガスを導入して酸化タンタル膜の成膜を開始し、 8 0 秒後の時刻 t 2 において原料ガスの導入を停止する。この 8 0 秒間に略 3 . 3 n m の酸化タンタル膜を成膜する。次に、時刻 t 2 ~ t 3 の 2 0 秒間に第 2 段階 S 2 に基づいて 1 2 0 0 s c c m の流量の酸素ガスを導入して、第 1 回目のステップ S T が終了する。この第 1 回目のステップ S T において、第 1 段階 S 1 において成膜された 3 . 3 n m の酸化タンタル膜は第 2 段階 S 2 で導入された酸素ガスに曝されることにより、酸素の空孔が充填され、かつ有機物が除去される。

【 0 0 4 8 】

続いて、時刻 t 3 ~ t 4 の 8 0 秒間に第 1 段階 S 1 に基づいて上記原料ガスを導入して新たに略 3 . 3 n m の酸化タンタル膜を成膜した後、時刻 t 4 ~ t 5 の 2 0 秒間に第 2 段階 S 2 に基づいて上記酸素ガスを導入して、第 2 回目のステップ S T が終了する。この第 2 回目のステップ S T において、第 1 段階 S 1 において成膜された新たな 3 . 3 n m の酸化タンタル膜は第 2 段階 S 2 で導入された酸素ガスに曝されることにより、第 1 回目のステップ S T と同様に、酸素の空孔が充填され、かつ有機物が除去される。続いて、時刻 t 5 ~ t 6 の 8 0 秒間に第 1 段階 S 1 に基づいて上記原料ガスを導入して新たに略 3 . 3 n m の酸化タンタル

膜を成膜した後、時刻 $t_6 \sim t_7$ の 20 秒間に第 2 段階 S2 に基づいて上記酸素ガスを導入して、第 3 回目のステップ ST が終了する。この第 3 回目のステップ ST において、第 1 段階 S1 において成膜された新たな 3.3 nm の酸化タンタル膜は第 2 段階 S2 で導入された酸素ガスに曝されることにより、第 1 回目のステップ ST と同様に、酸素の空孔が充填され、かつ有機物が除去される。以上により、第 3 回目のステップ ST が終了し、下部電極 13 上に最終的に必要な膜厚である 10 nm の酸化タンタル膜から成る容量絶縁膜 14 を形成する。なお、この例において各ステップ ST の第 2 段階 S2 における酸素ガスの導入時間を第 1 実施例よりも短くするのは、各ステップ ST の第 1 段階 S1 において成膜する膜厚を薄くしたためである。

また、この例のように最終的に必要な膜厚を 10 nm に選び、かつステップ ST を 3 回繰り返すでは、1 回のステップ ST で成膜される酸化タンタル膜の膜厚は 1.7 ~ 5 nm の範囲に入っていればよい。この膜厚の値は、最終的に必要な膜厚あるいはステップ ST により適宜変更可能である。

【0049】

以下は、第 1 実施例と同様に、アニール処理等を施した後、図 2 (e) の工程と略同様な工程を繰り返して、容量絶縁膜 14 上に例えば多結晶シリコン膜から成る上部電極 15 を形成することにより、キャパシタ 16 を形成してメモリセル 17 を完成させる。

【0050】

この例の半導体装置の製造方法によれば、容量絶縁膜 14 を構成する最終的に必要な膜厚 (10 nm) の酸化タンタル膜を成膜する際、成膜工程を第 1 回目のステップ ST ~ 第 3 回目のステップ ST の 3 回に分けて、各ステップ ST の第 1 段階 S1 においてそれぞれ 3.3 nm の膜厚に成膜した後、各ステップ ST の第 2 段階 S2 においてそれぞれの 3.3 nm の酸化タンタル膜を酸素ガスに曝すようにしたので、酸化タンタル膜は最終的に必要な膜厚の $1/3$ の薄い状態で、酸素の空孔の充填及び有機物の除去が行なわれることになる。したがって、酸素の空孔の充填及び有機物を除去するための処理を、第 1 実施例よりもステップ ST を増やした分効果的に行うことができる。

【 0 0 5 1 】

◇ 第 3 実施例

図 5 は、この発明の第 3 実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第 1 実施例の構成と大きく異なるところは、ステップ S T を 2 回繰り返して最終的に必要な膜厚（第 1 実施例の場合と同様に 1 0 n m）の酸化タンタル膜を最終的に成膜する際、前述の原理で説明したように各ステップ S T の第 1 段階 S 1 において原料ガスに加えて少量の酸素ガスも導入するようにした点である。ここで、第 1 段階において導入する酸素の量は、カバレージを低下させない程度の量に選ぶようにする。以下、図 5 を参照して、同半導体装置の製造方法について説明する。

すなわち、第 1 実施例の図 2（d）の工程において、図 5 の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極 1 3 上に酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

【 0 0 5 2 】

この例の半導体装置の製造方法では、第 1 回目のステップ S T 及び第 2 回目のステップ S T を繰り返すことにより、酸化タンタル膜を成膜する際、前述の原理で説明したように各ステップ S T の第 1 段階 S 1 における原料ガスに加えて少量の酸素ガスも導入するようにする。すなわち、図 5 から明らかなように、略 4 3 0 °C に加熱され、略 1 0 Torr に維持された反応炉内に基板 1 を収容した後、第 1 回目のステップ S T である時刻 t 1 において、第 1 段階 S 1 に基づいた P E T を 5 0 m g / m の割合で 7 0 0 s c c m の流量の窒素キャリアガスで噴霧し気化させた原料ガスに加えて、5 0 0 s c c m の流量の酸素ガスも導入して酸化タンタル膜の成膜を開始し、1 2 0 秒後の時刻 t 2 において原料ガスの導入を停止する。この 1 2 0 秒間に 5 n m の酸化タンタル膜を成膜する。次に、時刻 t 2 ~ t 3 の 3 0 秒間に第 2 段階 S 2 に基づいて 1 2 0 0 s c c m の流量の酸素ガスを導入して、第 1 回目のステップ S T が終了する。この第 1 回目のステップ S T において、第 1 段階 S 1 において成膜された 5 n m の酸化タンタル膜は第 2 段階 S 2 で導入された酸素ガスに曝されることにより、酸素の空孔が充填され、かつ有機物

が除去される。また、第 1 段階 S 1 において成膜する際少量の酸素を導入することにより、膜質をより向上させることができる。

【 0 0 5 3 】

続いて、時刻 $t_3 \sim t_4$ の 1 2 0 秒間に第 1 段階 S 1 に基づいて上記原料ガス及び上記酸素ガスを導入して新たに 5 n m の酸化タンタル膜を成膜した後、時刻 $t_4 \sim t_5$ の 3 0 秒間に第 2 段階 S 2 に基づいて上記酸素ガスを導入して、第 2 回目のステップ S T が終了する。この第 2 回目のステップ S T において、第 1 段階 S 1 において成膜された新たな 5 n m の酸化タンタル膜は第 2 段階 S 2 で導入された酸素ガスに曝されることにより、第 1 回目のステップ S T と同様に、酸素の空孔が充填され、かつ有機物が除去される。また、第 1 段階 S 1 において成膜する際少量の酸素を導入することにより、膜質をより向上させることができる。以上により、第 2 回目のステップ S T が終了し、下部電極 1 3 上に最終的に必要な膜厚である 1 0 n m の酸化タンタル膜から成る容量絶縁膜 1 4 を形成する。

【 0 0 5 4 】

以下は、第 1 実施例と同様に、アニール処理等を施した後、図 2 (e) の工程と略同様な工程を繰り返して、容量絶縁膜 1 4 上に例えば多結晶シリコン膜から成る上部電極 1 5 を形成することにより、キャパシタ 1 6 を形成してメモリセル 1 7 を完成させる。

【 0 0 5 5 】

この例の半導体装置の製造方法によれば、容量絶縁膜 1 4 を構成する最終的に必要な膜厚 (1 0 n m) の酸化タンタル膜を第 1 回目のステップ S T と第 2 回目のステップ S T との 2 回に分けて成膜する際、各ステップ S T の第 1 段階 S 1 においてそれぞれ原料ガスに加えて少量の酸素ガスも導入するようにしたので、第 1 実施例に比較して、膜質をより向上させることができる。

【 0 0 5 6 】

◇第 4 実施例

図 6 は、この発明の第 4 実施例である半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。この例の半導体装置の製造方法の構成が、上述した第 1 実施例の構成と大きく異なるところは、ステ

ップSTを2回繰り返して最終的に必要な膜厚（第1実施例の場合と同様に10nm）の酸化タンタル膜を成膜する際、前述の原理で説明したように最初のステップSTの前に酸素ガスを導入するようにした点である。以下、図6を参照して、同半導体装置の製造方法について説明する。

すなわち、第1実施例の図2（d）の工程において、図5の成膜シーケンスに基づいて酸化タンタル膜を成膜して、下部電極13上に酸化タンタル膜から成る容量絶縁膜14を形成する。

【0057】

この例の半導体装置の製造方法では、第1回目のステップST及び第2回目のステップSTを繰り返すことにより、酸化タンタル膜を成膜する際、前述の原理で説明したように第1回目のステップSTの前に酸素ガスを導入するようする。すなわち、図6から明らかなように、略430℃に加熱され、略10Torrに維持された反応炉内に基板1を収容した後、第1回目のステップSTに先立つ時刻t0において反応炉内に、1200sccmの流量の酸素ガスを導入する。次に、時刻t1以降では、図3の成膜シーケンスを参照して説明した第1実施例と同じ条件で成膜を行うことにより、下部電極13上に最終的に必要な膜厚である10nmの酸化タンタル膜から成る容量絶縁膜14を形成する。

上述したような酸化タンタル膜の成膜方法によれば、前述の原理で説明したように、最初のステップSTの前に酸素ガスを導入することにより、酸素ガスを導入しない場合に比べて、インキュベーションタイムを短縮することができるようになる。

【0058】

以下は、第1実施例と同様に、アニール処理等を施した後、図2（e）の工程と略同様な工程を繰り返して、容量絶縁膜14上に例えば多結晶シリコン膜から成る上部電極15を形成することにより、キャパシタ16を形成してメモリセル17を完成させる。

【0059】

この例の半導体装置の製造方法によれば、第1実施例と略同様な効果を得ることができるとともに、他の実施例に比較して成膜開始前に酸素ガスを導入するこ

とにより、予め成膜開始前に酸素を供給することができるので、成膜開始を早めて、インキュベーションタイムを短縮することができるようになる。

【0060】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、実施例では、ステップS Tを2回あるいは3回繰り返して酸化タンタル膜を成膜する例で説明したが、これらの例に限らず前述の発明の原理で説明したように、望ましくは2～10回程度繰り返すのが実用的である。また、酸化タンタル膜の成膜する際に実施される複数のステップS Tを組み合わせる第1段階S 1におけるP E Tの量、窒素キャリアガスの流量、あるいは第2段階S 2における酸素ガスの流量等は、実施例で示した例に限らず、必要とする酸化タンタル膜の膜質に応じて、任意に変更することができる。また、第1段階S 1と第2段階S 2との組み合わせから成るステップS Tを複数回繰り返す場合、第2段階S 2においては、酸化性ガスの働きを損なわない範囲で原料ガスの導入を完全に止めなくともよい。また、複数のステップS T間における第1段階S 1の時間あるいは第2段階S 2の時間は、必ずしも同じに設定する必要はない。

【0061】

上記各実施例では、最終的に成膜される酸化タンタル膜の膜厚を10nmに選んだ例で示したが、膜厚はこれに限らず、適宜変更可能である。なお、最終膜厚を変更する場合、必要とされる膜質やスループットに応じて、繰返し回数、すなわち1回のステップS Tで成膜する膜厚を適宜変更すればよい。例えば、最終膜厚を15nmとする場合、実施例1、3及び4のように2回のステップS Tで成膜する場合は、1回のステップS Tで7.5nm成膜するようにし、実施例2のように3回のステップS Tで成膜する場合は、1回のステップS Tで5nm成膜するようにし、また、より多くの回数の繰返しで成膜する場合は、その回数に応じて1回のステップS Tで成膜する膜厚を適宜変更すればよい。

【0062】

また、容量の大きいキャパシタを形成するための金属酸化膜としてはタンタル

の酸化膜を用いる例で説明したが、これに限ることなく、ハフニウム (Hf)、ジルコニウム (Zr) のような他の金属を用いることができる。ここで、ハフニウムの場合は、ハフニウム ターシャリー ブドキシド $[\text{Hf}(\text{OC}_4\text{H}_9)_4]$ 、テトラキス 1 メトキシ 2 メチル 2 プロポキシ ハフニウム $[\text{Hf}(\text{MMP})_4]$ 等をソースとして、またジルコニウムの場合は、ジルコニウム ターシャリー ブドキシド $[\text{Zr}(\text{OC}_4\text{H}_9)_4]$ 、テトラキス 1 メトキシ 2 メチル 2 プロポキシ ジルコニウム $[\text{Zr}(\text{MMP})_4]$ 等をソースとして用いることができる。また、酸化性ガスとして酸素ガスを用いる例で説明したが、これに限ることなく、オゾン (O_3)、水 (H_2O)、酸化窒素 (N_2O , NO_x) 又は酸素ラジカルを含んだガス等を用いることができる。上述したようなタンタル、ハフニウム、ジルコニウム等の金属を含んだ原料ガスは、酸化性ガスが存在しなくともそのガスのみで金属酸化膜を成膜することが可能な性質を有している。

【 0 0 6 3 】

また、金属酸化膜の成膜温度は、低温にするほど成膜速度が遅くなるため、あまり低くしすぎない方がよい。特に、原料ガスによっては、低温 (例えば $300 \sim 350^\circ\text{C}$ 程度) で成膜すると、反応にセルフリミットがかかり、一原子層分しか成膜されない状態になる場合があり、このような成膜では、大幅にスループットが低下してしまうため好ましくない。よって、成膜温度は、反応にセルフリミットがかからない温度領域、例えば $380 \sim 480^\circ\text{C}$ 程度とするのが好ましい。

また、DRAMを構成するトランジスタのゲート絶縁膜としては窒化膜 (Nitride Film) でもよく、あるいは酸化膜と窒化膜との2重膜構成でもよい。つまり、MIS (Metal Insulator Semiconductor) 型トランジスタである限り、MOS型トランジスタに限らずに、MNS (Metal Nitride Semiconductor) 型トランジスタでもよく、あるいは、MNOS (Metal Nitride Oxide Semiconductor) 型トランジスタでもよい。

【 0 0 6 4 】

【発明の効果】

以上説明したように、この発明の半導体装置の製造方法によれば、半導体基板を収容した反応炉内に所望の金属を含んだ原料ガスを導入する第1段階と、第1

段階に続いて反応炉内に酸化性ガスを導入する第 2 段階とを 1 ステップとして、このステップを複数回繰り返して半導体基板上に最終的に必要な膜厚の金属酸化膜を成膜するので、金属酸化膜のステップカバレッジの低下を抑え、また金属酸化膜の酸素の空孔を充填いきれ、かつ有機物を除去できるようになる。

したがって、スループットを低下させることなく、良好なステップカバレッジ及び良好な膜質を備えた容量絶縁膜を成膜することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施例である半導体装置の製造方法の構成を工程順に示す工程図である。

【図 2】

同半導体装置の製造方法の構成を工程順に示す工程図である。

【図 3】

同半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 4】

この発明の第 2 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 5】

この発明の第 3 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 6】

この発明の第 4 実施例である半導体装置の製造方法において、酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【図 7】

この発明の原理を説明する成膜シーケンスを示す図である。

【図 8】

この発明の原理において、ステップ数（横軸）と酸化タンタル膜の膜質（縦軸）との関係を示す図である。

【図 9】

この発明の原理において、酸素流量（横軸）と膜質（左側縦軸）及びステップカバレッジ（右側縦軸）との関係を示す図である。

【図 1 0】

この発明の原理において、成膜時間（横軸）と膜厚（縦軸）との関係を示す図である。

【図 1 1】

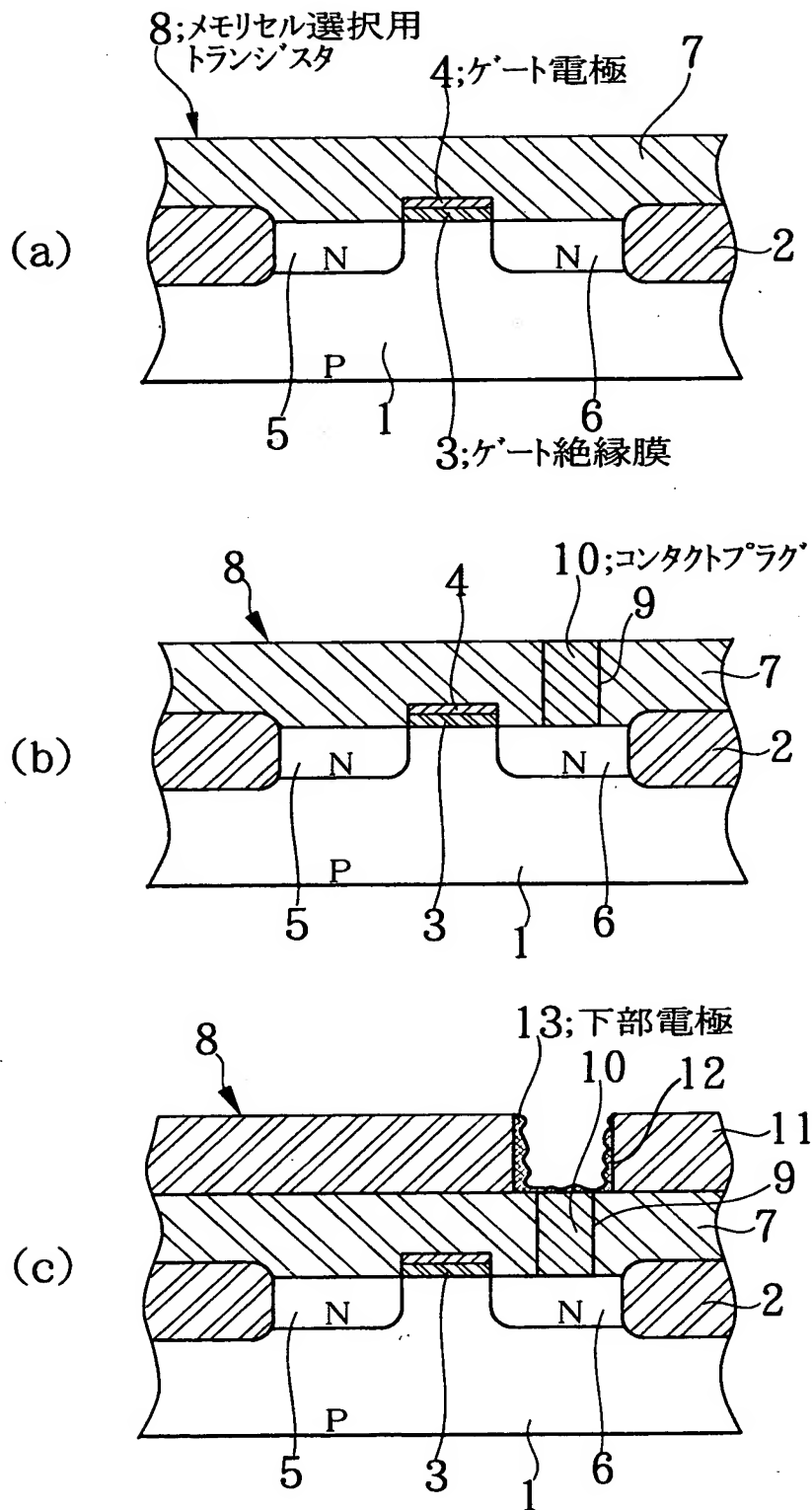
従来の半導体装置の製造方法において酸化タンタル膜を成膜させるための成膜シーケンスを示す図である。

【符号の説明】

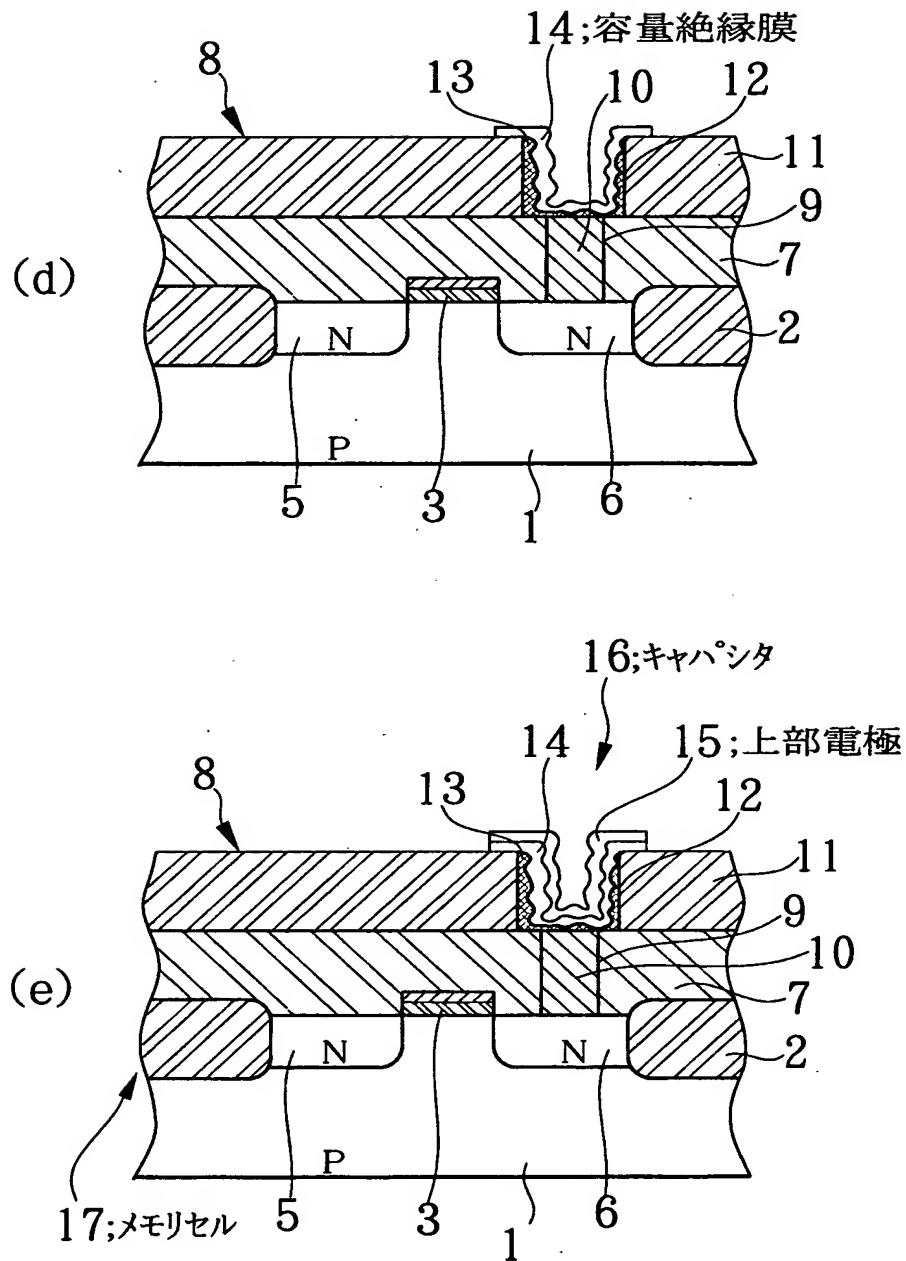
- 1 P型シリコン基板
- 2 素子分離領域（フィールド絶縁膜）
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5、6 N型領域
- 7 メモリセル選択用トランジスタ（NMOS型トランジスタ）
- 8 第1層間絶縁膜
- 9 第1コンタクトホール
- 10 コンタクトプラグ
- 11 第2層間絶縁膜
- 12 第2コンタクトホール
- 13 下部電極
- 14 容量絶縁膜（酸化タンタル膜）
- 15 上部電極
- 16 キャパシタ
- 17 メモリセル

【書類名】 図面

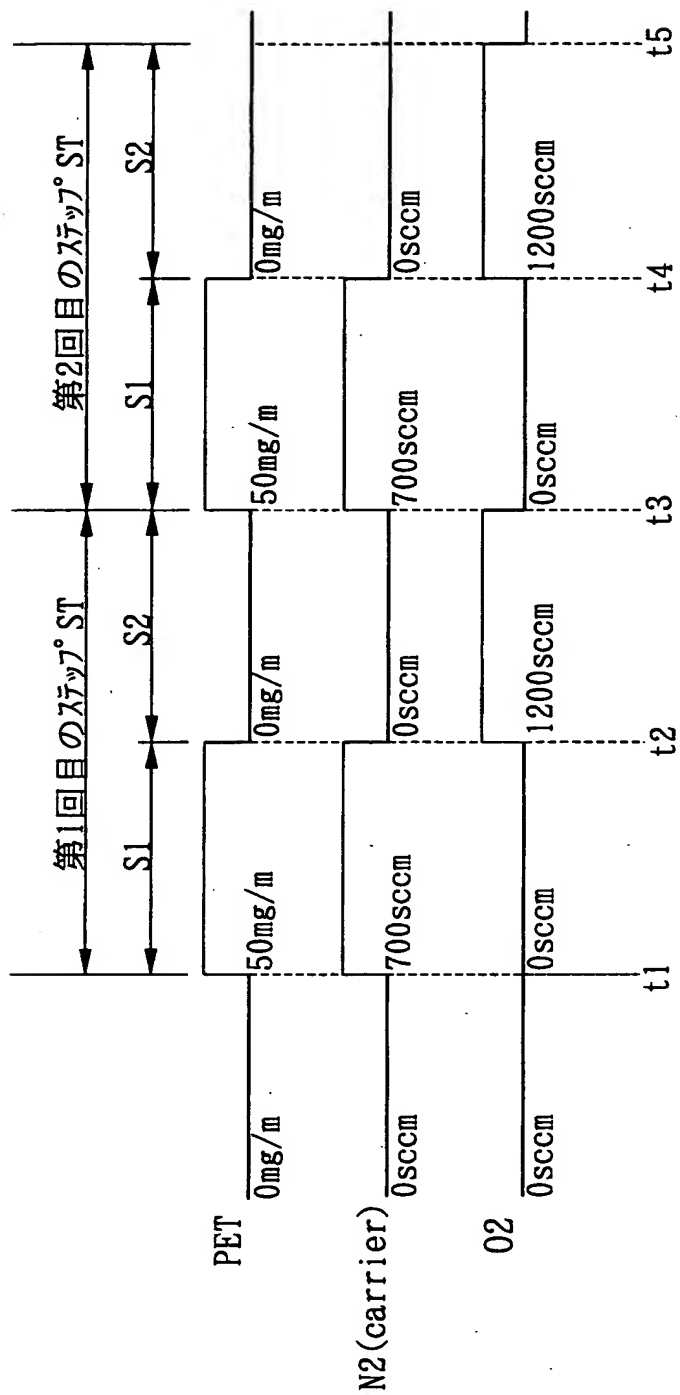
【図1】



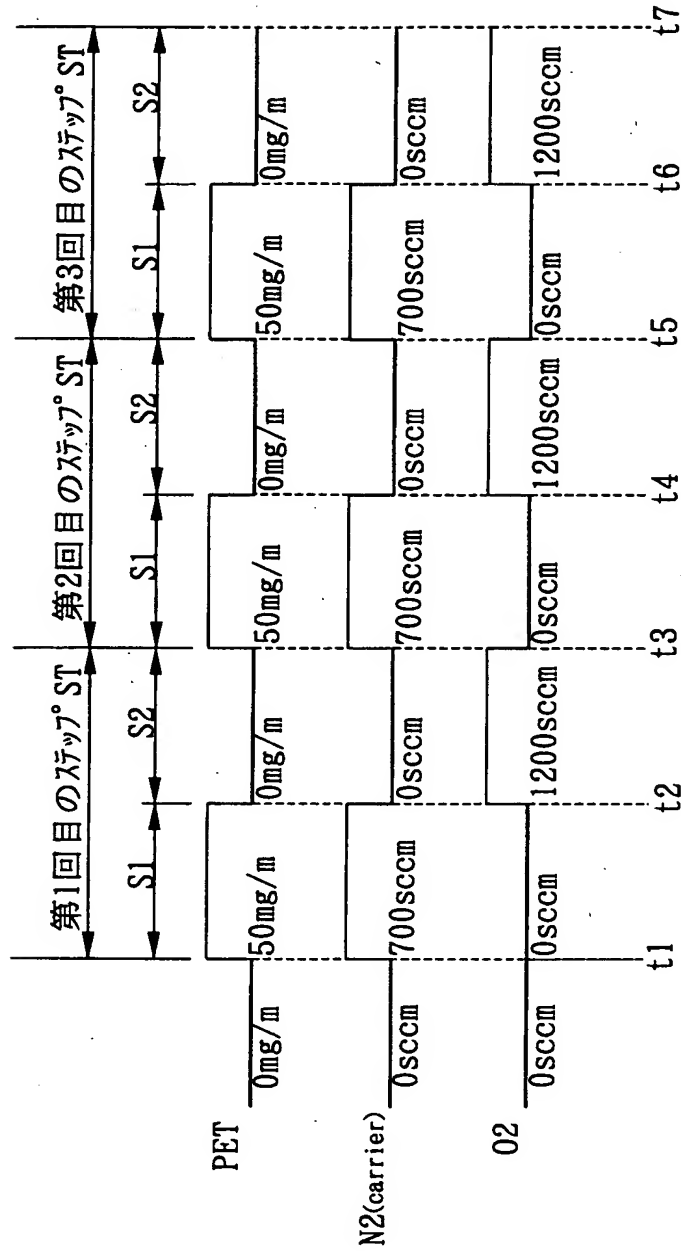
【図 2】



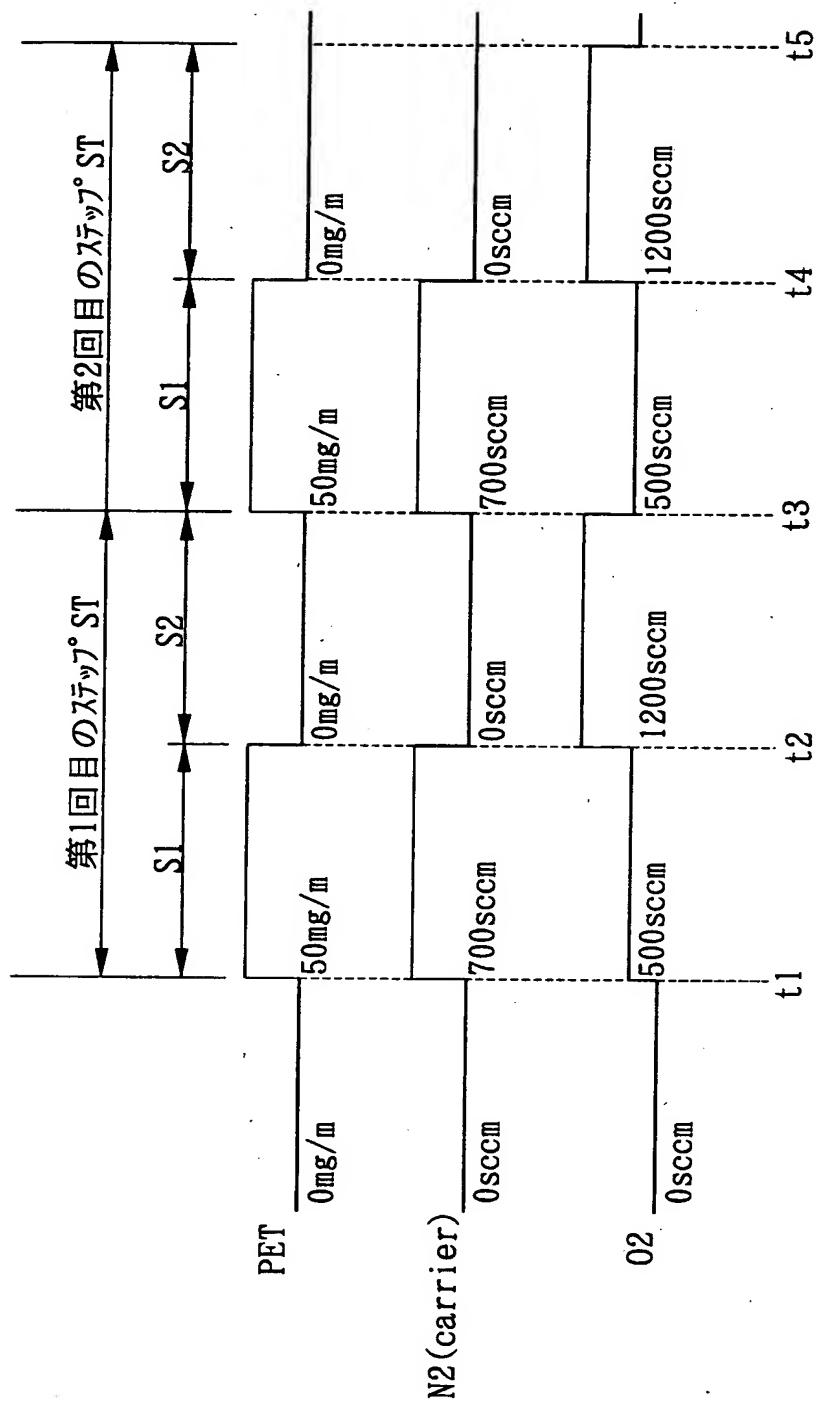
【図 3】



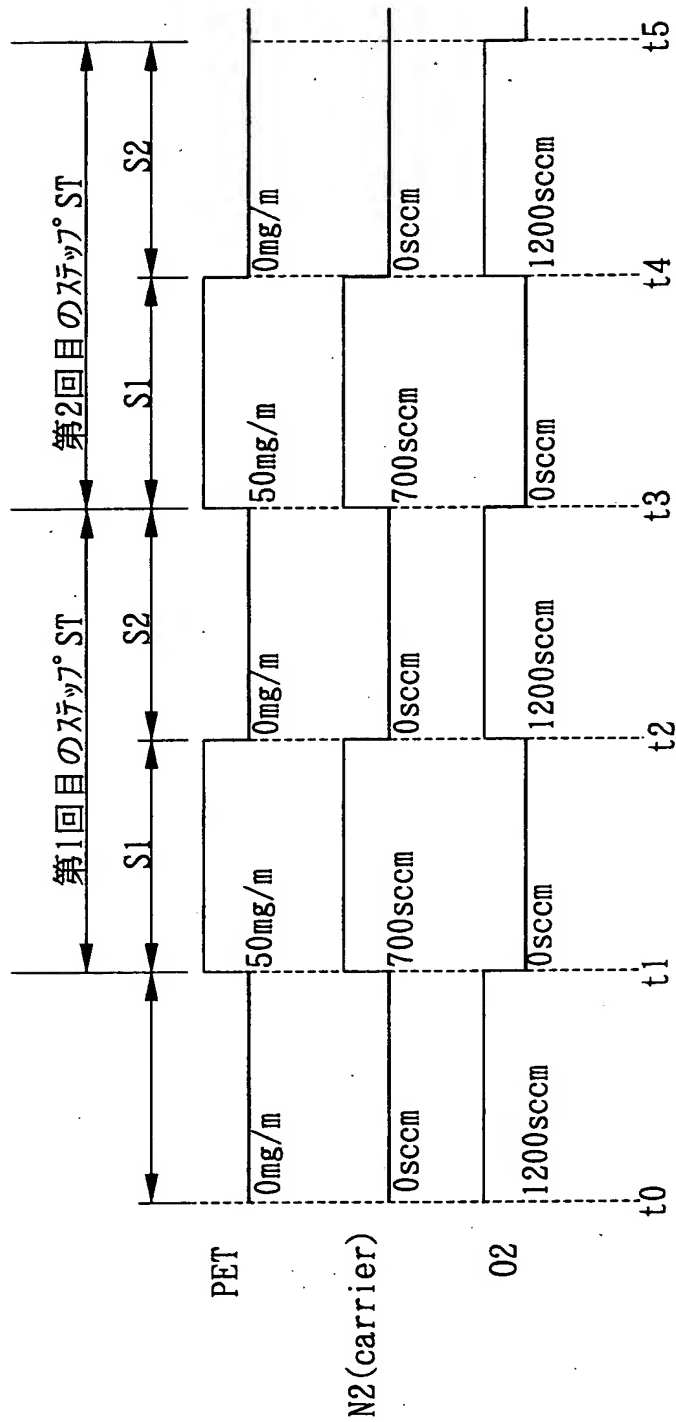
【図 4】



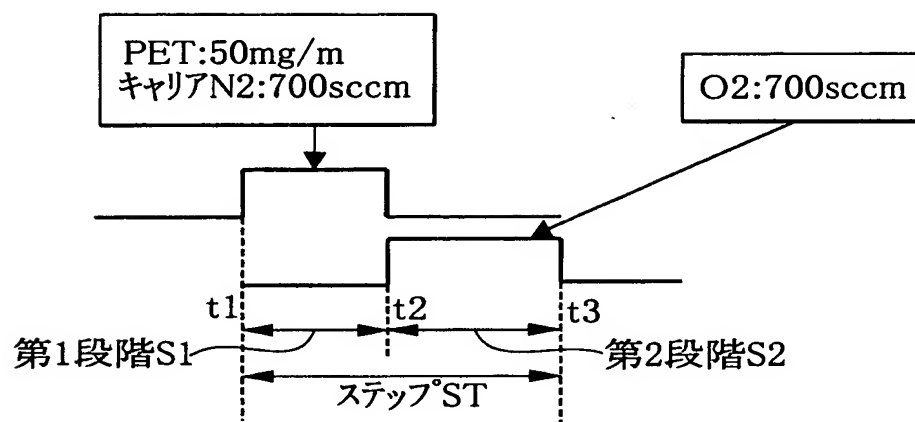
【図 5】



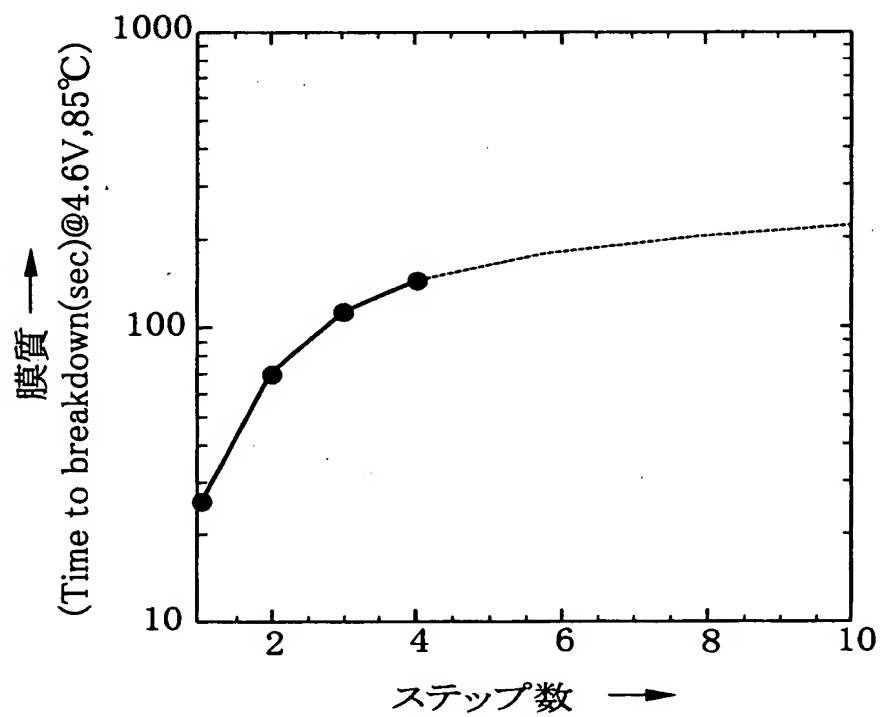
【図6】



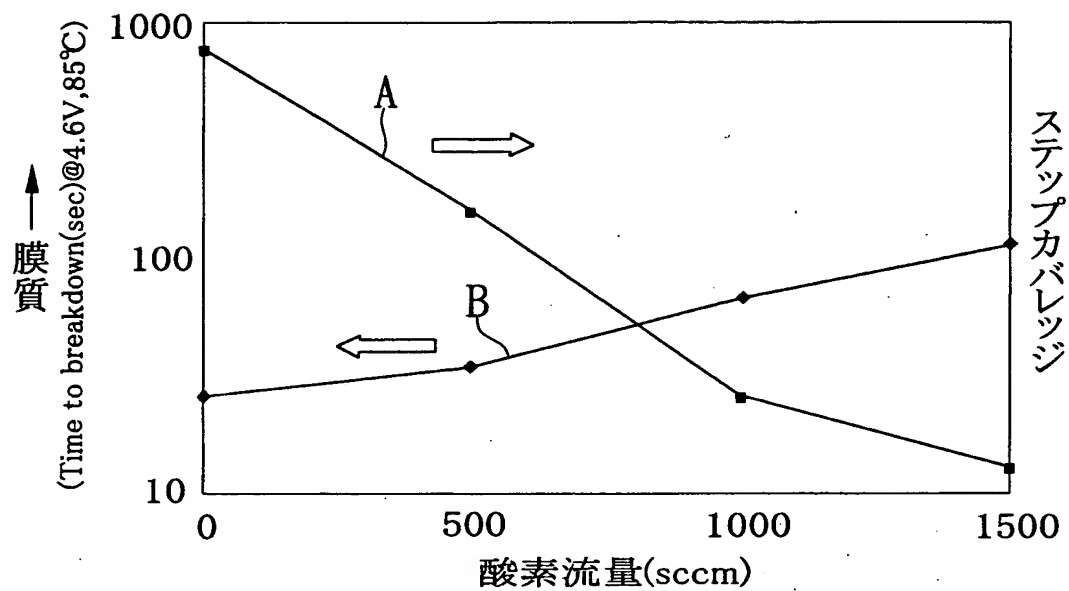
【図7】



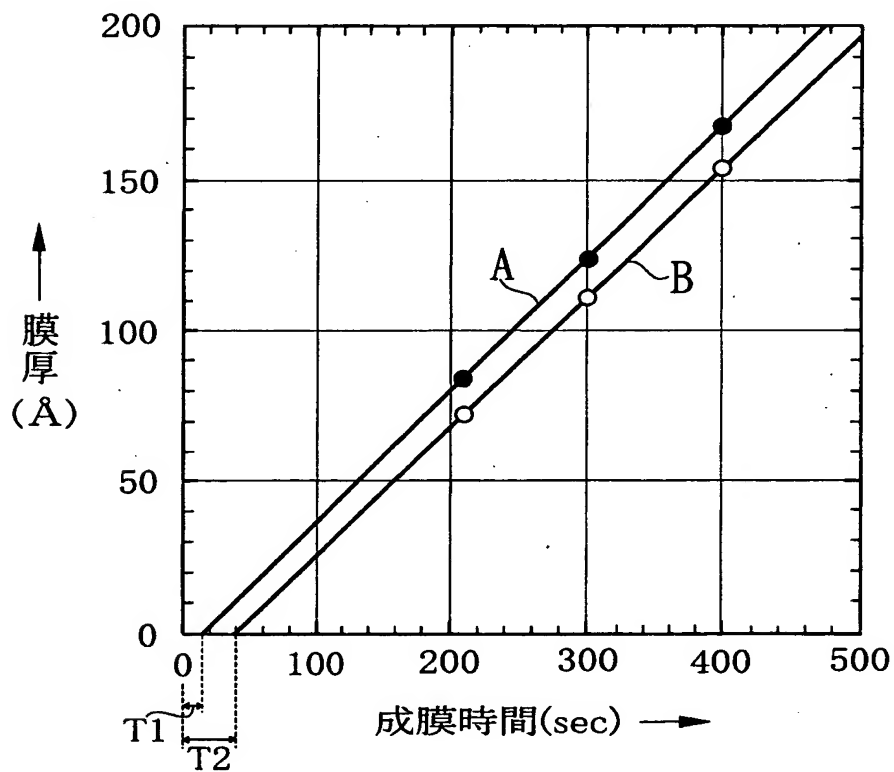
【図8】



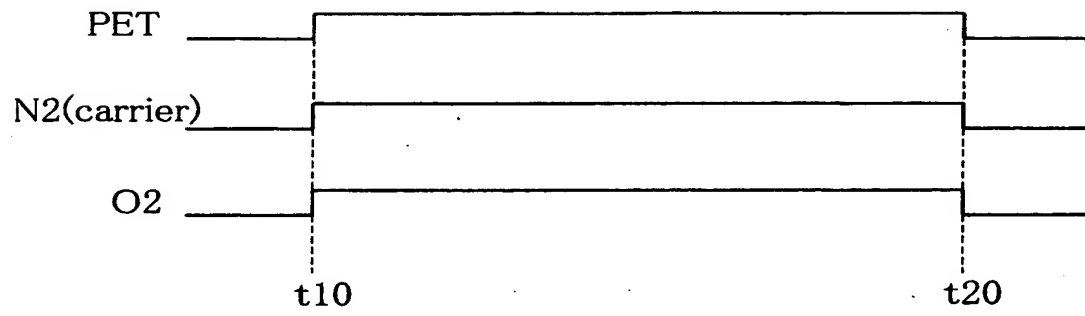
【図9】



【図10】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 スループットを低下させることなく、良好なステップカバレッジ及び良好な膜質を備えた容量絶縁膜を成膜する。

【解決手段】 開示される半導体装置の製造方法は、メモリセル選択用トランジスタ 8 を形成した後、このメモリセル選択用トランジスタ 8 の一方の N 型領域 6 に接続されるように下部電極 1 3 を形成した半導体基板 1 を反応炉内に収容して、原料ガスを導入する第 1 段階 S 1 と酸素ガスを導入する第 2 段階 S 2 との組み合わせによるステップ S T を 2 回繰り返して、最終的に必要な膜厚の酸化タンタル膜を成膜する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [500174247]

1. 変更年月日	2000年 7月12日
[変更理由]	名称変更
住 所	東京都中央区八重洲2-2-1
氏 名	エルピーダメモリ株式会社